

PAT-NO: JP02002223204A

DOCUMENT-IDENTIFIER: JP 2002223204 A

TITLE: METHOD AND SYSTEM FOR HIGH-SPEED SERIAL TRANSMISSION

PUBN-DATE: August 9, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
YAJIMA, HIROHITO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP2001018569

APPL-DATE: January 26, 2001

INT-CL (IPC): H04L001/00, H04L025/02

ABSTRACT:

PROBLEM TO BE SOLVED: To overcome the problem that, when received data are abnormal, data transmission for correcting the characteristics of a transmission line is not able to be performed.

SOLUTION: A high-speed serial transmission system is provided with a transmitting section 1 having a pattern generating section 10 which generates a pseudo random pattern, a transmitting circuit section 11 which performs **parallel-to-serial** conversion on transmitting input data and the pseudo random pattern, a transmission control circuit 14 which outputs a transmitting clock control signal and a current control signal, a current control circuit 12 which controls the current of the serial data, and a transmitting clock circuit 13 which changes the frequency of a transmitting clock. The system is also provided with a receiving section 2 having a receiving circuit section 20 which outputs received output data and the pseudo random pattern by performing **serial-to-parallel** conversion on received input data, a **bit error rate measuring section 22 which measures the bit error** rate of the pseudo random pattern, a receiving level detecting section 21 which detects the receiving level of the pseudo random pattern, a reception control section 23 which feeds back the information on the characteristics of the bit error rate and receiving

level to the transmitting section 1, and a receiving clock circuit 24 which generates a receiving clock synchronously to the transmitting clock.

COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-223204

(P2002-223204A)

(43) 公開日 平成14年8月9日 (2002.8.9)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 4 L 1/00		H 0 4 L 1/00	C 5 K 0 1 4
25/02	3 0 1	25/02	3 0 1 H 5 K 0 2 9

審査請求 有 請求項の数9 O L (全 5 頁)

(21) 出願番号 特願2001-18569 (P2001-18569)

(22) 出願日 平成13年1月26日 (2001.1.26)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 矢島 裕仁

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 5K014 AA01 EA08 FA02 FA09 FA10

FA11 FA12 GA02 GA04 HA01

HA03

5K029 AA01 CC01 DD02 GG03 KK03

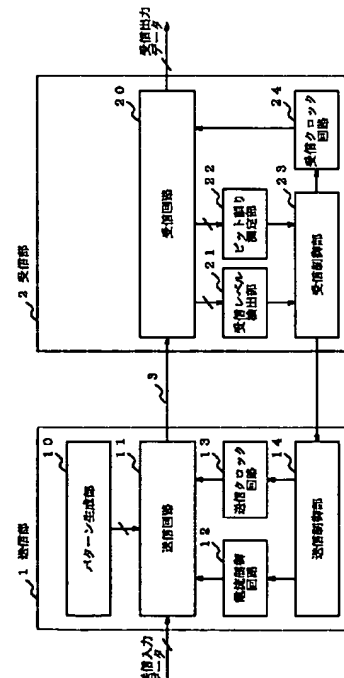
KK27

(54) 【発明の名称】 高速シリアル伝送方法および方式

(57) 【要約】

【課題】 受信データ異常時に伝送路特性を補正するデータ送信ができなかった。

【解決手段】 疑似ランダムパターンを生成するパターン生成部10と、送信入力データと疑似ランダムパターンをシリアル変換する送信回路部11と、送信クロック制御信号と電流制御信号を出力する送信制御部14と、シリアルデータを電流制御する電流制御回路12と、送信クロック周波数を可変する送信クロック回路13とを有する送信部1と；受信入力データをパラレルに逆変換して受信出力データと疑似ランダムパターンを出力する受信回路部20と、疑似ランダムパターンのビット誤り率を測定するビット誤り率測定部22と、その受信レベルを検出する受信レベル検出部21と、ビット誤り率と受信レベルの特性情報を送信部1へフィードバックする受信制御部23と、送信クロックに同期して受信クロックを生成する受信クロック回路24を有する受信部2を備える。



【特許請求の範囲】

【請求項1】 伝送路を通して送信側から受信側へデータをシリアル伝送する高速シリアル伝送方法において、前記伝送路を通して前記送信側から疑似ランダムパターンを送出し、前記受信側でその疑似ランダムパターン受信レベルおよびビット誤り率を測定してその測定情報を前記送信側へフィードバックして前記送信側の前記データの送信条件を設定することを特徴とする高速シリアル伝送方法。

【請求項2】 前記送信側の前記データの送信条件の設定は、始めにシリアルの前記データの送出レベルを調整することにより行ない、前記送出レベルの調整で前記ビット誤り率を改善しきれないときは、次にシリアルの前記データのクロック周波数を調整することにより行なうことを特徴とする請求項1記載の高速シリアル伝送方法。

【請求項3】 前記送信側から前記受信側への前記シリアル伝送は、パラレル信号のLVTTLレベルの送信入力データをLVDSレベルのシリアルデータに変換して行なうことを特徴とする請求項1記載の高速シリアル伝送方法。

【請求項4】 前記送出レベルの調整は、前記LVDSレベルのシリアルデータを駆動する電流を制御することにより行なうことを特徴とする請求項3記載の高速シリアル伝送方法。

【請求項5】 前記シリアルデータの電流の制御は、前記シリアルデータの変化点で行なうことを特徴とする請求項7記載の高速シリアル伝送方法。

【請求項6】 伝送路を通して送信側から受信側へデータをシリアル伝送する高速シリアル伝送方式において、疑似ランダムパターンをパラレル信号で生成するパターン生成手段と、前記疑似ランダムパターンおよびパラレル信号の送信入力データを送信クロックに同期させてシリアルデータに変換し送信出力データとして前記伝送路へ出力する送信手段と、前記受信側からのフィードバック制御信号により前記送信出力データのレベルおよび伝送レートを制御する送信側制御手段とを有する送信部と；前記送信部から送出された前記送信出力データを受信入力データとして入力されてパラレルデータに逆変換し受信クロックに同期して受信出力データを出力するとともに前記疑似ランダムパターンを抽出する受信手段と、前記受信手段で抽出された前記疑似ランダムパターンのビット誤り率を測定するとともにその受信レベルを測定するパターン測定手段と、前記パターン測定手段における前記ビット誤り率および前記受信レベルの測定情報を前記送信出力データのレベルおよび伝送レートを制御する前記フィードバック制御信号として前記送信部の前記送信制御手段へ送出する受信制御手段と、前記受信手段で抽出した前記疑似ランダムパターンから前記送信クロックを検出してその送信クロックに同期した前記受

信クロックを生成する受信クロック生成手段とを有する受信部と；を備えることを特徴とする高速シリアル伝送方式。

【請求項7】 前記送信入力データおよび前記疑似ランダムパターンがLVTTLレベルの信号であり、前記シリアルデータがLVDSレベルの信号であることを特徴とする請求項6記載の高速シリアル伝送方式。

【請求項8】 前記送信側制御手段が、前記LVDSレベルのシリアルデータを駆動する電流を制御する電流制御手段を有することを特徴とする請求項6あるいは7記載の高速シリアル伝送方式。

【請求項9】 前記送信側制御手段が、前記送信クロックの周波数を可変するクロック可変手段を有することを特徴とする請求項6記載の高速シリアル伝送方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高速シリアル伝送方法および方式に関し、特に伝送路の状態を受信側から送信側へフィードバックして伝送誤りを出来る限り無くすようにする高速シリアル伝送方法および方式に関する。

【0002】

【従来の技術】従来の送信側の機器と受信側の機器との間のシリアル伝送方式において、例えば特開平01-157647号公報の「シリアル伝送方式」では、伝送路を通して送信側から伝送されたデータを受信側で監視して、その受信データが正常か異常かの情報を送信側へ通知し、送信側は正常情報の通知を受けた場合はそのまま次のデータを送出するが、異常情報の通知を受けた場合は次のデータの送出を停止し、エラー処理を行っていた。

【0003】

【発明が解決しようとする課題】この従来の特開平01-157647号公報の「シリアル伝送方式」では、受信側からの受信データが正常か異常かの情報を送信側へ通知することはできるが、送信側は異常情報の通知を受けた場合は次のデータの送出を停止してエラー処理するのみで、受信側で受信波形の振幅を測定したり、ビット誤り率を測定することにより伝送路に対応した送信側の設定ができず、従って、伝送路の特性を補正する動作をさせることによる伝送エラーを減らすことができなかった。

【0004】従って本発明では、高速シリアル伝送においては伝送路の状態（例えば、伝送路が非常に長い場合や伝送路のインピーダンス整合が悪い場合）によっては受信側で波形が歪むことがあり、その結果、アイ・パターンが潰れ伝送エラーの原因となることがあるため、伝送路の状態を受信側で測定し、送信側にフィードバックすることにより伝送路に合った送信条件を用いてデータを送信出来るようにし、伝送誤りを出来る限り無くすことを目的とする。

【0005】

【課題を解決するための手段】本発明による高速シリアル伝送方法は、第1に、伝送路を通して送信側から受信側へデータをシリアル伝送する高速シリアル伝送方法において、前記伝送路を通して前記送信側から疑似ランダムパターンを送出し、前記受信側でその疑似ランダムパターン受信レベルおよびビット誤り率を測定してその測定情報を前記送信側へフィードバックして前記送信側の前記データの送信条件を設定する。

【0006】本発明による高速シリアル伝送方法は、第2に、前記送信側の前記データの送信条件の設定は、始めにシリアルの前記データの送出レベルを調整することにより行ない、前記送出レベルの調整で前記ビット誤り率を改善しきれないときは、次にシリアルの前記データのクロック周波数を調整することにより行なう。

【0007】本発明による高速シリアル伝送方法は、第3に、前記送信側から前記受信側への前記シリアル伝送は、パラレル信号のLVTTLレベルの送信入力データをLVDSLレベルのシリアルデータに変換して行なう。

【0008】本発明による高速シリアル伝送方法は、第4に、前記送出レベルの調整は、前記LVDSLレベルのシリアルデータを駆動する電流を制御することにより行なう。

【0009】本発明による高速シリアル伝送方法は、第5に、前記シリアルデータの電流の制御は、前記シリアルデータの変化点で行なう。

【0010】本発明による高速シリアル伝送方式は、第1に、伝送路を通して送信側から受信側へデータをシリアル伝送する高速シリアル伝送方式において、疑似ランダムパターンをパラレル信号で生成するパターン生成手段と、前記疑似ランダムパターンおよびパラレル信号の送信入力データを送信クロックに同期させてシリアルデータに変換し送信出力データとして前記伝送路へ出力する送信手段と、前記受信側からのフィードバック制御信号により前記送信出力データのレベルおよび伝送レートを制御する送信側制御手段とを有する送信部と；前記送信部から送出された前記送信出力データを受信入力データとして入力されてパラレルデータに変換し受信クロックに同期して受信出力データを出力するとともに前記疑似ランダムパターンを抽出する受信手段と、前記受信手段で抽出された前記疑似ランダムパターンのビット誤り率を測定するとともにその受信レベルを測定するパターン測定手段と、前記パターン測定手段における前記ビット誤り率および前記受信レベルの測定情報を前記送信出力データのレベルおよび伝送レートを制御する前記フィードバック制御信号として前記送信部の前記送信制御手段へ送出する受信制御手段と、前記受信手段で抽出した前記疑似ランダムパターンから前記送信クロックを検出してその送信クロックに同期した前記受信クロックを生成する受信クロック生成手段とを有する受信部と；を

備える。

【0011】本発明による高速シリアル伝送方式は、第2に、前記送信入力データおよび前記疑似ランダムパターンがLVTTLレベルの信号であり、前記シリアルデータがLVDSLレベルの信号である。

【0012】本発明による高速シリアル伝送方式は、第3に、前記送信側制御手段が、前記LVDSLレベルのシリアルデータを駆動する電流を制御する電流制御手段を有する。

【0013】本発明による高速シリアル伝送方式は、第4に、前記送信側制御手段が、前記送信クロックの周波数を可変するクロック可変手段を有する。

【0014】

【発明の実施の形態】次に本発明の一実施の形態について図面を参照して説明する。

【0015】本発明の一実施の形態を示す図1のブロック図によれば、高速シリアル伝送方式は、疑似ランダムパターンをLVTTLレベルのパラレル信号で生成するパターン生成部10と、パラレル信号のLVTTLレベルの送信入力データおよびパターン生成部10からの疑似ランダムパターンを送信クロックに同期させてLVDSLレベルのシリアルデータに変換し送信出力データとして伝送路3へ出力するとともにそのLVDSLレベルのシリアルデータの電流を制御して送信出力データのレベルを調整あるいは送信クロック周波数を制御して伝送レートを可変する送信回路部11と、受信側からのフィードバック制御信号により送信クロック制御信号および電流制御信号を出力する送信制御部14と、送信制御部14からの電流制御信号により送信回路部11のLVDSLレベルのシリアルデータを駆動する電流を制御する電流制御回路12と、送信制御部14からの送信クロック制御信号に制御されて送信回路部11のシリアルデータの送信クロック周波数を可変する送信クロック回路13とを有する送信部1と；送信部1から伝送路3を通して送出された送信出力データを受信入力データとして入力されてLVTTLレベルのパラレルデータに変換し受信クロックに同期して受信出力データを出力するとともに疑似ランダムパターンを抽出する受信回路部20と、受信回路部20で抽出された疑似ランダムパターンのビット誤り率を測定するビット誤り率測定部22と、受信回路部20で抽出された疑似ランダムパターンの受信レベルを検出する受信レベル検出部21と、受信回路部20で抽出された疑似ランダムパターンから送信クロックを検出するとともにビット誤り率測定部22で測定したビット誤り率および受信レベル検出部21で検出した受信レベルに基づき伝送路3の特性情報を出力し送信部1の送信制御回路部14へフィードバックする受信制御部23と、受信制御部23で検出した送信クロックに同期して受信クロックを生成する受信クロック回路24とを有する受信部2と；を備える。

【0016】詳述すると、送信入力データはLV TTL (Low Voltage Transistor Transistor Level) レベルのパラレル信号として送信回路部11に入力される。同様にパターン生成部10で生成された疑似ランダムパターンデータもLV TTLレベルのパラレル信号で送信回路部11に入力される。ここで、送信回路部11に疑似ランダムパターンが入力される場合は、送信回路部11には送信入力データは入力されない。反対に、送信入力データが入力される場合は疑似ランダムパターンは入力されない。つまり、送信回路部11の入力側において入力データの切り替えを行なう。

【0017】そして送信回路部11は、これらのパラレル信号をパラレル/シリアル変換し、LVDS (Low Voltage Differential Signal) レベルのシリアル信号で送信出力データを受信部2へ送出する。

【0018】また送信回路部11は、伝送路3の特性状態の補正を送出レベルの調整により行なうために、電流制御回路12からの制御によりLV TTLレベルのシリアル信号をそのデータの変化点駆動電流を制御する。

【0019】さらに送信回路部11は、伝送路3の特性状態の補正を送信クロック回路13からの制御により、シリアル信号の伝送レートを可変することにより行なう。

【0020】送信部1から送出されたシリアル信号の送信出力データは受信部2の受信回路部20に受信入力データとして入力される。受信回路部20は、入力されたLVDSレベルのシリアル信号をLV TTLレベルのパラレル信号に変換する。そして受信回路部20は、受信入力データが送信入力データ対応であるときはそのパラレル変換されたデータを受信出力データとして出力し、受信レベル検出部21およびビット誤り測定部22へは出力しない。

【0021】ここでシステムが立ち上がった初期動作時(電源が入った場合など)および伝送路の変更などにより受信入力データに補正が必要な場合には、送信部1から疑似ランダムパターンを送出し、受信回路部20でその疑似ランダムパターンを抽出して受信レベル検出部21でその受信レベルの検出とビット誤り測定部22でビット誤り率の測定を行う。この場合、受信回路部20は、疑似ランダムパターンを受信出力データの出力側には出力しないようにする。

【0022】受信制御部23では、ビット誤り率の測定結果と受信レベルの検出結果とを元に送信部1の制御をどのようにするかを判断を行い、その情報を送信制御部14へフィードバックする。

【0023】なお、送信部1と受信部2との間を接続する伝送路3は、ここではインピーダンス整合された配線パターンを用いたプリント板のバックボードや、シール

ド付きツイストペアケーブル、あるいは同軸ケーブルを対象としている。

【0024】続いて動作について説明する。

【0025】受信部2では、まず初期動作時や伝送路3の状態が変化した場合に、伝送路3の状態を測定するために受信誤り率を測定する。これは、送信部1のパターン生成部4よりPN (Pseudo Noise) パターンなどの疑似ランダムパターンを生成し、送信入力データの代わりに送信回路部11に入力する。このとき、通常の送信入力データは送信回路11に入力しないようにする。送信回路部11に入力された疑似ランダムパターンはLVDSレベルのシリアル信号に変換され受信部2に送出されるが、受信回路部20では、LVDSレベルのシリアル信号をシリアル/パラレル変換して受信出力データとして出力しないで、受信レベル検出部21とビット誤り測定部22へ出力するようにする。受信レベル検出部21では、受信波形の振幅を測定し、その振幅が規定値以内に入るような制御を受信制御部23で行うが、制御方法は次のように行う。

【0026】すなわち、システム立ち上がり時はあらかじめ決められた初期値の設定で受信レベルの測定を行うが、この結果、受信波形の振幅が少ない場合には送信部1の電流制御回路12で電流制御を行い、LVDSレベルのシリアル信号に流れる電流をデータの変化点のみ(立ち上がり時および立ち下がり時)のみ増やす制御を行う。これは伝送路の抵抗成分により波形がなまるためそれを補うためである。また逆に振幅が大きい場合は電流を減らすように制御するが、最小はデフォルトの値とする。一方、ビット誤り測定部22では、初期値の状態ではビット誤りが多い場合は、電流制御回路12での電流制御を前述と同様の方法で行い、LVDSに流れる電流を増やすように制御する。逆にビット誤りが少ない場合は、電流を減らすように制御するが、最小はデフォルト値とする。

【0027】ここで、送信部1の送信制御部14と受信部2の受信制御部23とは制御線で接続されており、この制御線上のフィードバック制御情報は「電流を大きくするか小さくするか」、「クロック周波数を増やすか減らすか」、あるいは「初期状態かどうか」という情報である。

【0028】なお、上述の制御が可変範囲を超えた場合はアラームとし、制御が不能であることを報知することも可能である。

【0029】さらに、上述のような制御を行っても引き続き受信側での伝送誤りが生じている場合(制御不可能の場合)には、使用状況によっては送信側シリアルデータの伝送スピードを落とす制御を行う。

【0030】つまり、送信部1の送信クロック回路13および受信部2の受信クロック回路24出力のクロック周波数を同時に落としていく制御を行う。すなわち、ク

ロック周波数を落とした場合は動作タイミング的に余裕が出るため、クロック周波数が低いほど受信エラーが発生しにくくなる。ただしこの場合も、クロック周波数の可変範囲をあらかじめ決めておき、可変範囲を超えた場合はアラームを発生させて制御不能であることを報知することも可能である。

【0031】

【発明の効果】第一の効果は、送信出力レベルおよび伝送レートの送信側伝送パラメータを伝送路の状態に合わせて可変することができるので、伝送路の状態が悪くても伝送エラーを減らすことができ、自動的に最適の状態に受信データを維持することができる。

【0032】第二の効果は、伝送路に異常があった場合は、制御不能となってアラームを出力することができるので、伝送路異常を報知することができる。

【0033】第三の効果は、送信出力レベルおよび伝送レートの送信側伝送パラメータを伝送路の状態に合わせて可変するだけなので、エラー訂正等の特別な回路を必

要とせず、システムを簡易化できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の高速シリアル伝送方式を示すブロック図である。

【符号の説明】

- | | |
|----|----------|
| 1 | 送信部 |
| 2 | 受信部 |
| 3 | 伝送路 |
| 11 | 送信回路部 |
| 10 | パターン生成部 |
| 12 | 電流制御回路 |
| 13 | 送信クロック回路 |
| 14 | 送信制御部 |
| 20 | 受信回路部 |
| 21 | 受信レベル検出部 |
| 22 | ビット誤り測定部 |
| 23 | 受信制御部 |
| 24 | 受信クロック回路 |

【図1】

